

**Family list****8 family members for:****JP6265940**

Derived from 5 applications.

- 1 Liquid crystal display device**  
Publication info: **DE69327028D D1** - 1999-12-23
- 2 Liquid crystal display device**  
Publication info: **DE69327028T T2** - 2000-05-31
- 3 Liquid crystal display device**  
Publication info: **EP0589478 A2** - 1994-03-30  
**EP0589478 A3** - 1994-11-17  
**EP0589478 B1** - 1999-11-17
- 4 LIQUID CRYSTAL DISPLAY DEVICE**  
Publication info: **JP3343160B2 B2** - 2002-11-11  
**JP6265940 A** - 1994-09-22
- 5 Liquid crystal display device having LDD structure type thin film transistors connected in series**  
Publication info: **US5412493 A** - 1995-05-02

---

Data supplied from the *esp@cenet* database - Worldwide

**LIQUID CRYSTAL DISPLAY DEVICE**

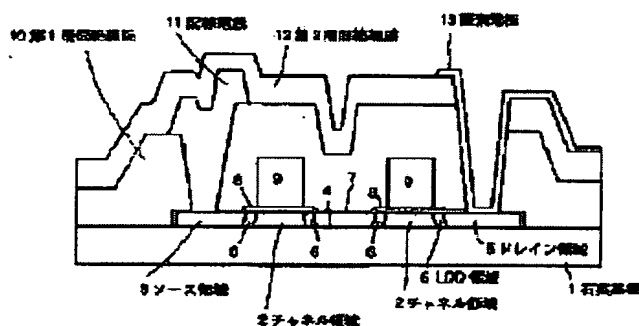
**Patent number:** JP6265940  
**Publication date:** 1994-09-22  
**Inventor:** KUNII MASABUMI; HAYASHI YUJI  
**Applicant:** SONY CORP  
**Classification:**  
- **International:** G02F1/136; G02F1/133; H01L29/784  
- **European:**  
**Application number:** JP19930261555 19930924  
**Priority number(s):** JP19930021996 19930114; JP19930261555 19930924;  
JP19920280462 19920925

**Report a data error here**

**Abstract of JP6265940**

**PURPOSE:**To suppress the variations in gate capacitance coupling and to shorten a channel length by suppressing the leak current of TFTs to be used as pixel switching element, thereby stabilizing the threshold voltage.

**CONSTITUTION:**The switching element has a multigate structure formed by serially connecting plural pieces of the thin-film transistors(TFTs) and electrically connecting respective gate electrodes 9 to each other. The TFTs have the LDD structure provided with low-concn. impurity regions 6 of the same conduction type as the conduction type of source regions or drain regions between at least source regions 3 or drain regions 5 and channel regions 2. At least one piece of plural pieces of the low-concn. impurity regions are formed to the length or concn. different from the length or concn. of the others in some cases, by which sufficient on-currents are assured while leak currents are suppressed.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-265940

(43) 公開日 平成6年(1994)9月22日

(51) Int. Cl. <sup>5</sup>	識別記号	F I			
G02F 1/136	500	9119-2K			
1/133	550	9226-2K			
H01L 29/784		9056-4M	H01L 29/78	311	G
		9056-4M		311	S
審査請求 未請求 請求項の数12 F D (全20頁)					

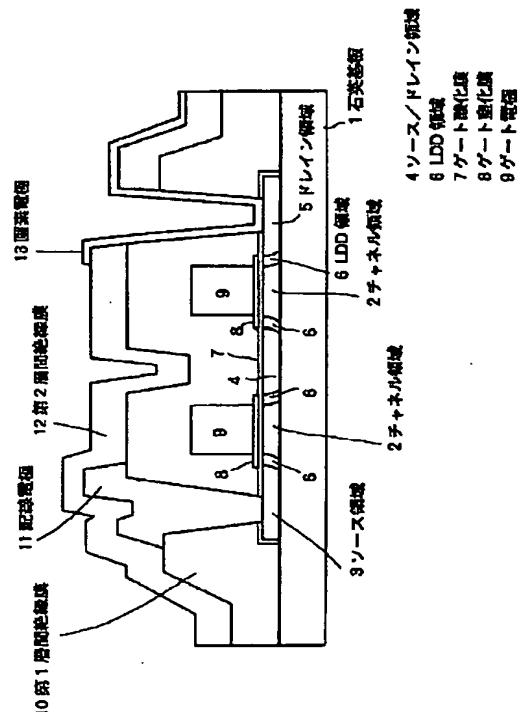
(21) 出願番号	特願平5-261555	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成5年(1993)9月24日	(72) 発明者	国井 正文 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(31) 優先権主張番号	特願平4-280462	(72) 発明者	林 祐司 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(32) 優先日	平4(1992)9月25日	(74) 代理人	弁理士 鈴木 晴敏
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平5-21996		
(32) 優先日	平5(1993)1月14日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【目的】 画素スイッチング素子として用いられるTFTのリーク電流を抑制し、閾値電圧を安定化させ、ゲート容量カップリングのばらつきを抑え、チャネル長の短縮化を図る。

【構成】 スwitchング素子は、複数個の薄膜トランジスタを直列接続し且つ各ゲート電極9を互いに電気接続したマルチゲート構造を有する。各薄膜トランジスタは、少なくともソース領域3又はドレイン領域5とチャネル領域2との間にソース領域又はドレイン領域と同一導電型の低濃度不純物領域6を備えたLDD構造を有する。場合によっては複数個の低濃度不純物領域のうち少なくとも1個は、他と異なる長さ又は濃度とし、リーク電流を抑制しつつ十分なオン電流を確保する。



## 【特許請求の範囲】

【請求項 1】 マトリクス状に配列した画素電極とこの画素電極を駆動するスイッチング素子とを備えた一方の基板と、対向電極を有し前記一方の基板に対向配置された他方の基板と、両方の基板に保持された液晶層とを備えた液晶表示装置であって、

前記スイッチング素子は、複数個の薄膜トランジスタを直列接続し且つ各ゲート電極を互いに電気接続したマルチゲート構造を有し、

各薄膜トランジスタは、少なくともソース領域又はドレイン領域とチャネル領域の間にソース領域又はドレイン領域と同一導電型の低濃度不純物領域を備えた LDD 構造を有する事を特徴とする液晶表示装置。

【請求項 2】 各薄膜トランジスタは、ソース領域及びドレイン領域の両者とチャネル領域の間に夫々低濃度不純物領域を備えている事を特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記スイッチング素子は、直列接続された一对の薄膜トランジスタからなり、一方はソース領域とチャネル領域の間にのみ低濃度不純物領域を有し、他方はドレイン領域とチャネル領域の間にのみ低濃度不純物領域を有する事を特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】 各薄膜トランジスタは  $5 \mu\text{m}$  以下のチャネル長を有する事を特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】 複数個の薄膜トランジスタに設けられた複数個の低濃度不純物領域のうち少なくとも 1 個は、他の低濃度不純物領域と異なる長さを有する事を特徴とする請求項 1 記載の液晶表示装置。

【請求項 6】 画素電極に一番近い低濃度不純物領域は、他の低濃度不純物領域より長い事を特徴とする請求項 5 記載の液晶表示装置。

【請求項 7】 複数個の薄膜トランジスタに設けられた複数個の低濃度不純物領域のうち少なくとも 1 個は、他の低濃度不純物領域と異なる濃度を有する事を特徴とする請求項 1 記載の液晶表示装置。

【請求項 8】 画素電極に一番近い低濃度不純物領域が、他の低濃度不純物領域に比べて小さな濃度を有する事を特徴とする請求項 7 記載の液晶表示装置。

【請求項 9】 複数個の薄膜トランジスタからなり各ゲート電極を共通接続したマルチゲート構造を有するスイッチング素子であって、

個々の薄膜トランジスタはリーク電流抑制構造を有しており、

少なくとも 2 個の該薄膜トランジスタを直列接続して電流リーク故障に対する冗長性を付与した事を特徴とするスイッチング素子。

【請求項 10】 個々の薄膜トランジスタは LDD 型のリーク電流抑制構造を有する事を特徴とする請求項 9 記

載のスイッチング素子。

【請求項 11】 前記 LDD 型の薄膜トランジスタは、少なくともドレインとして機能する不純物領域とチャネル領域との間に、該不純物領域と同一導電型でより低濃度の LDD 領域を有する事を特徴とする請求項 10 記載のスイッチング素子。

【請求項 12】 画素電極の駆動に用いられるスイッチング素子であって、前記 LDD 型の薄膜トランジスタは該チャネル領域の両側で交互にドレインとして機能する不純物領域及び付随する LDD 領域を有する事を特徴とする請求項 11 記載のスイッチング素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型の液晶表示装置に関する。より詳しくは能動素子として集積形成される薄膜トランジスタの構造に関する。

## 【0002】

【従来の技術】 薄膜トランジスタ（以下 TFT と称する）はアクティブマトリクス型の液晶表示装置や密着型イメージセンサ等に応用できる為、近年その開発が活発に行なわれている。特に薄膜材料として多結晶シリコン（以下 poly-Si と称する）は、表示部やセンサ部を構成する TFT に加えて、周辺駆動回路を構成する TFT を同一基板上に集積形成できる為注目を集めている。

【0003】 アクティブマトリクス型液晶表示装置の画素をオン／オフする為のスイッチング素子として用いられる TFT については、特に画素輝点欠陥の原因となるリーク電流を抑制する為、従来から様々な構造が提案され実用化されてきた。例えば、特公平 3-38755 号公報に開示されている様に、LDD (Lightly Doped Drain) 構造の TFT（以下 LDD TFT と称する）が開発されている。この LDD TFT はチャネル領域とドレイン領域端部との間にドレイン領域よりも薄い低濃度不純物領域を有している。この LDD 構造は、ドレイン領域端部での電界集中を緩和する事ができオフセットゲート構造と同様にリーク電流抑制効果がある為、アクティブマトリクス型液晶表示装置等の回路素子に応用されている。

【0004】 本発明の背景を明らかにする為、図 12 を参照して従来の LDD 構造を簡潔に説明する。石英基板 1 の表面には、所定の形状にパタニングされた poly-Si 膜が形成されている。この poly-Si 膜にはチャネル領域 2 とその両側にソース領域 3、ドレイン領域 5 とが形成されている。又、チャネル領域 2 の両端部には、上述した低濃度不純物領域あるいは LDD 領域 6 が介在している。ゲート酸化膜 7 及びゲート窒化膜 8 を介してゲート電極 9 がパタニング形成されており TFT を構成する。TFT の上には第 1 層間絶縁膜 10 が成膜されている。さらにその上には配線電極 11 がパタニ

【発明が解決しようとする課題】従来のLDD TFT構造では、LDD領域の不純物ドーザ量は $1 \times 10^{11} \sim 1 \times 10^{13} / \text{cm}^2$ 程度である為、poly-Si膜中に不純物イオン打ち込みを行なった場合、ドーザ量の僅な変動でpoly-Si膜の比抵抗値が大きくばらついてしまう。この為、LDD抵抗の変動が生じ易く、LDD

【0010】さらに別の観点から見た従来の技術の課題を簡潔に説明する。アクティブマトリクス型液晶表示装置の大型化及び高精細化につれて画素数が顕著に増大すると、前述した様に画素欠陥による歩留り低下が製造コスト上重大な問題になる。この対策の1つとして従来から冗長構成が採用されている。冗長構成とは、本来不必要であるが欠陥救済もしくは信頼性向上の為にやむを得ず導入する構造と一般的には位置付けられている。例え

ば日経BP社発行「フラットパネルディスプレイ1991」p. 105~108, p. 201等に示す様に、画素駆動用スイッチング素子として用いられるTFTに起因する画素欠陥の救済策として、1画素に対して複数のスイッチング素子を設けたり、予備のスイッチング素子を設ける等の冗長構成が従来から知られている。しかしながらこれらの従来方法は上述した様に初期の製造歩留りがある程度確保する為にやむなく採用されたものであり、複数のスイッチング素子を設けるという冗長性の代償として製造工程の増加、配線の断線故障、接続工程の複雑化、周辺駆動回路の複雑化等が伴ない、多くの副次的な欠点を有していた。

#### 【0011】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明はリーク電流が少なく、閾値電圧特性の制御が容易であり、ゲート容量カップリングの悪影響を受ける事がなく、安定した交流駆動の行なえる、微細化の可能なアクティブマトリクス型液晶表示装置用のTFT構造を提供する事を第1目的とする。かかる第1目的を達成する為に以下の手段を講じた。即ち、本発明にかかる液晶表示装置は、基本的な構成要素として、マトリクス状に配列した画素電極とこの画素電極を駆動するスイッチング素子とを備えた一方の基板と、対向電極を有し前記一方の基板に対向配置された他方の基板と、両方の基板に保持された液晶層とを備えている。本発明の特徴事項として、前記スイッチング素子は複数の薄膜トランジスタを直列接続し且つ各ゲート電極を互いに電気接続したマルチゲート構造を有する。さらに、マルチゲート構造を構成する各薄膜トランジスタは、少なくともソース領域又はドレイン領域とチャネル領域の間にソース領域又はドレイン領域と同一導電型の低濃度不純物領域を備えたLDD構造を有している。

【0012】好ましくは、各薄膜トランジスタは、ソース領域及びドレイン領域の両方とチャネル領域の間に夫々低濃度不純物領域を備えている。又好ましくは、前記スイッチング素子は直列接続された一対の薄膜トランジスタからなり、一方はソース領域とチャネル領域の間のみ低濃度不純物領域を有し、他方はドレイン領域とチャネル領域の間にのみ低濃度不純物領域を有する対称構造としても良い。さらに好ましくは、各薄膜トランジスタは5 $\mu$ m以下のチャネル長を有している。

【0013】特に液晶の交流駆動を安定化する為、複数の薄膜トランジスタに設けられた複数の低濃度不純物領域のうち少なくとも1個は、他の低濃度不純物領域と異なる長さ寸法を有する様にした。具体的には、画素電極に一番近い低濃度不純物領域が、他の低濃度不純物領域に比べて長くなる様にした。あるいは、複数の薄膜トランジスタに設けられた複数の低濃度不純物領域のうち少なくとも1個は、他の低濃度不純物領域と異なる濃度を有する様にしても良い。具体的には、画素電極

に一番近い低濃度不純物領域が、他の低濃度不純物領域に比べて小さな濃度を有する。

【0014】本発明の第2の目的は、1個の画素に対して複数のスイッチング素子を用いる事なくスイッチング素子自体に冗長性を持たせ、配線の複雑化及び周辺駆動回路の複雑化をもたらす事なく製造歩留り及び信頼性を改善する事である。かかる第2の目的を達成する為に以下の手段を講じた。即ち本発明にかかるスイッチング素子は基本的に複数の薄膜トランジスタからなり各ゲート電極を共通接続したマルチゲート構造を有する。特徴事項として個々の薄膜トランジスタはリーク電流抑制構造を有しており、少なくとも2個の該薄膜トランジスタを直列接続して電流リーク故障に対する冗長性を付与している。個々の薄膜トランジスタは例えばLDD型のリーク電流抑制構造を有する。この場合、LDD型の薄膜トランジスタは、少なくともドレインとして機能する不純物領域とチャネル領域との間に、該不純物領域と同一導電型でより低濃度のLDD領域を有している。かかる構成を有するスイッチング素子は例えば画素電極の駆動に用いられる。この場合、前記LDD型の薄膜トランジスタは該チャネル領域の両側で交互にドレインとして機能する不純物領域及び付随するLDD領域を有している。

#### 【0015】

【作用】本発明の第一側面によれば、画素スイッチング素子用TFTのゲート電極をマルチゲート構造とし、且つLDD構造を採用している。両構造を組み合わせる事により、夫々の長所が生かされるとともに短所が除かれるという顕著な相乗効果が得られる。即ち、リーク電流を低く抑制でき閾値電圧( $V_{th}$ )及びゲート容量カップリングのばらつきを少なくし、チャネル長の短縮化を図る事ができる。特に、マルチゲート構造とLDD構造を組み合わせた画素スイッチング素子用TFTにおいて、画素電極に近接する低濃度不純物領域(LDD領域)の長さ又は濃度を残りの低濃度不純物領域と異ならせる事により、画素電位の正極性保持期間中チャネル領域における電界の集中を小さく抑える事ができ局在準位を介してのリーク電流を抑制する。さらに、リーク電流を低く抑えたまま高い駆動電流又はオン電流を得る事ができるので、アクティブマトリクス型液晶表示装置の高性能化に大きく寄与する。又TFT設計の自由度が高くなる為液晶表示装置の開口率向上にも寄与できる。

【0016】本発明の第二側面によれば、リーク電流抑制構造を有する薄膜トランジスタを2個以上直列接続してマルチゲート構造としており、スイッチング素子自体に電流リーク故障に対する冗長性を付与している。換言すると、複数の薄膜トランジスタのうち少なくとも2個は、TFT単独でも画素欠陥とならない程度にリーク電流が小さい。従って、製造工程段階もしくは実使用状態で1個のTFTが電流リーク故障を生じて、残りの

TFTが補完的に作用しスイッチング素子自体としては正常に動作可能としている。この様に単独のスイッチング素子自体に冗長性を持たせている為、配線及び周辺駆動回路の複雑化を招く事なく製造歩留り及び信頼性を従来に比し飛躍的に改善する事が可能である。

【0017】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかるアクティブマトリクス型液晶表示装置の第1実施例を示しており、特に要部となるTFT周辺を拡大して表わした部分断面図である。図示するTFTはnチャネル型でありアクティブマトリクス型液晶表示装置の画素駆動用スイッチング素子を構成する。絶縁基板例えば石英基板1の上にはパタニングされた多結晶半導体層例えばpoly-Si膜が形成されている。この膜にはソース領域3と、ソース/ドレイン領域(接領域)4と、ドレイン領域5と、この3者の間に位置する一对のチャネル領域2とが形成されている。ソース領域3、ソース/ドレイン領域4及びドレイン領域5と、各チャネル領域2との間には夫々ソース領域及びドレイン領域と同一導電型の低濃度不純物領域即ちLDD領域6が合計4箇所形成されている。各チャネル領域2の上方には夫々ゲート絶縁膜を介して対応するゲート電極9が形成されている。このゲート絶縁膜は2層構造を有しゲート酸化膜7とゲート窒化膜8とからなる。石英基板1はPSG等からなる第1層間絶縁膜10により被覆されている。第1層間絶縁膜10に形成されたコンタクトホールを介して、アルミニウム等からなる配線電極11がソース領域3に電気接続されている。同じくコンタクトホールを介してITO等の透明導電材料からなる画素電極13がドレイン領域5に電気接続されている。この画素電極13はPSG等からなる第2層間絶縁膜12の上に成膜されている。

【0018】引続き図1を参照して、本発明の機能的な利点について詳細に説明する。先ず最初にリーク電流抑制機能について説明する。一般に、TFTの活性領域となるpoly-Si膜は単結晶シリコンに比し欠陥密度が大きいためリーク電流が増大する傾向にある。この為、通常水素拡散処理を施し欠陥密度を減少させてTFTのリーク電流を下げる様にしている。水素化が進むとpoly-Siの欠陥準位が減少し、結晶粒界のエネルギー障壁が小さくなるのでLDD抵抗が減少する。LDD抵抗は水素化の程度に大きく左右されるので、水素化の状態によってはウェハ内での個々のTFTのLDD抵抗が大きくなりばらつく。この結果、従来ある統計的な確率でリーク電流の大きい異常TFTが出現していた。これに対し、本発明のマルチゲート構造LDD TFTでは、等価回路的に直列接続された複数のTFTのうち最もオフ電流の小さいTFTでリーク電流の実効値が決定される。この為、水素化の程度の相違によるリーク電流のばらつきは激減した。

【0019】次に閾値電圧の安定化機能を説明する。水素化の程度はリーク電流ばかりでなくTFTの閾値電圧Vthにも影響を及ぼす。水素化が過度に進行するとTFTのVthが低下し、ゲートオフの状態でも電流が流れるようになる。この為、従来のTFTでは所謂Vth輝点と呼ばれる画素欠陥が発生し問題となっていた。これに対し、本発明のマルチゲート構造LDD TFTでは、Vthの値は直列接続された複数のTFTのうち最もVthの高いTFTで決定される。この結果、Vthのばらつきも抑制されVth輝点欠陥も激減した。

【0020】次に従来の単一ゲート構造LDD TFTで問題となっていたゲート容量カップリングのばらつきについても改善する事ができた。本発明のマルチゲート構造LDD TFTではTFT群の間でのゲート容量ばらつきは、単一のTFTのゲート容量ばらつきよりも小さいので、従来の単一ゲート型LDD TFTに比較すると輝線欠陥の程度を軽減する事ができた。

【0021】さらに、チャネル長の短縮化について説明する。LDD領域を設けない従来のマルチゲート構造TFTでは、ソース領域及びドレイン領域にドーピングされる不純物の水平方向拡散が大きいため、活性領域としてpoly-Si膜を用いた場合設定チャネル長を5μmにすると実効チャネル長は3μm以下になってしまう。この為ドレイン領域端部における電界集中が大きくなりリーク電流が増大する。従ってアクティブマトリクス型液晶表示装置の高精細化及び高開口率化にとっては不利である。これに対し、本発明のマルチゲート構造LDD TFTでは、LDD領域を設ける事によりドレイン領域端部での電界集中を緩和する事ができるので、設定チャネル長を5μm以下にする事が可能である。即ち、本発明によりアクティブマトリクス型液晶表示装置の高精細化及び高開口率化を図る事が可能になる。

【0022】以上に説明した本発明の利点をより明確に示す為、図9に本発明にかかるマルチゲート構造LDD TFTのゲート電圧対ドレイン電流曲線を示す。又、比較の為図10に従来のマルチゲート構造TFTのゲート電圧対ドレイン電流曲線を示す。なお、測定対象となったダブルゲートTFTサンプルの合計チャネル長は3μm+3μmであり、チャネル幅は3μmである。又、ソース/ドレイン間電圧を5Vに設定しソース/ゲート間電圧を-10~+15Vに変化させた。LDDのない従来のマルチゲートTFTではリーク電流が大きく上昇し、且つTFT特性はデプレッション型の曲線を示すのに対し、本発明のマルチゲート構造LDD TFTではリーク電流の上昇は全く見られない。

【0023】次に、図1に示したマルチゲート構造LDD TFTの変形例を説明する。一般に、アクティブマトリクス型液晶表示装置では寿命劣化を抑制する為に液晶層を交流駆動させている。この為、ソース側とドレイン側は交互に入れ替えるのでLDD領域はソース端とドレ

イン端に対して対称的に設ける事が好ましい。前述した図1の例ではTFTが2個直列に接続されている。もちろんTFTの個数は3個以上であっても差し支えない。液晶を交流駆動させる為ソース側とドレイン側は交互に入れ替るので、LDDの構造及び位置関係はソース領域及びドレイン領域に関し対称的である事が好ましい。即ち、ソース領域及びドレイン領域は互いに等価で交換可能である事が好ましい。従って、図1の実施例ではLDD領域を各ゲート電極の端面に接して4箇所設けてある。しかしながら、LDD領域の配置は図1に示した実施例に限られる訳ではない。画素スイッチング素子用TFTの場合は、ソース/ドレインの対称性が保たれば良い。従って、例えば図2に示す様にソース領域3の端部とドレイン領域5の端部の2箇所のみにLDD領域6を設けても良い。あるいは、図3に示す様に内側のソース/ドレイン領域4の両端2箇所のみにLDD領域6を設けても良い。なお、理解を容易にする為に図2及び図3の実施例で図1に示した実施例と共通の部分については同一の参照番号を付してある。

【0024】本発明にかかるマルチゲート構造LDD-TFTは、画素スイッチング素子用に加えて、同一基板上に同時に形成される周辺回路例えば水平駆動回路や垂直駆動回路にも用いる事ができる。この例を図4に示す。なお理解を容易にする為に、図1に示した構造と対応する部分については対応する参照番号を付してある。一般に、周辺回路に組み込まれるTFTの場合には、スイッチング素子と異なりドレイン側の方向が予め決まっている。従って、図4に示す様にドレイン領域5の端部や、ソース/ドレイン領域4のドレイン側端部のみにLDD領域6を設け、ソース領域3の端部やソース/ドレイン領域4のソース側端部にLDD領域を作らない様にしている。この様に、LDD領域を一部省略する事によりTFTのオン電流が増加し駆動能力が改善される。

【0025】次に、図5ないし図8を参照して本発明にかかるマルチゲート構造LDD-TFTの製造工程を詳細に説明する。先ず図5の工程Aにおいて、石英基板101上にLPCVD法でpoly-Si薄膜102を約75nmの膜厚で成膜する。必要ならば、この後Si<sup>+</sup>イオンをイオンインプランテーションする事によりpoly-Si薄膜102を非晶質化し、続いて600℃程度の温度で炉アニールする事により多結晶シリコンを大粒径化する。なお、非晶質シリコンを予め形成する場合にはプラズマ化学気相成長法(PCVD法)を用いて150~250℃程度の温度で成膜しても良い。次に工程Bにおいて、poly-Si薄膜102を所定のパタンにエッチングする。続いてpoly-Si薄膜102を酸化しその表面にゲート酸化膜103を約60nmの膜厚で形成する。その後、工程CにおいてTFT閾値電圧調整用にB<sup>+</sup>イオンを打ち込む。

【0026】図6の工程Dにおいて、ゲート酸化膜10

3の上にLPCVD法で窒化シリコン膜(Si<sub>3</sub>N<sub>4</sub>膜)104を約10~20nmの膜厚で形成する。場合によってはこの窒化シリコン膜104の表面を酸化し、SiO<sub>2</sub>膜を約1~2nmの膜厚で形成する。この様にし得られた複合ゲート絶縁膜は、SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>の3層構造となる為ONO構造と呼ばれている。この様な構造にするのはゲート耐圧を十分確保し、信頼性を向上させる為である。続いて工程Eにおいて、ゲート絶縁膜上に燐ドーパの低抵抗多結晶シリコンを約350nmの膜厚で形成した後、所定の形状にパタニングして一対のゲート電極105を得る。このゲート電極の形成方法には以下の3通りがある。第1の方法は、ノンドーパの多結晶シリコン薄膜を形成し、PClO<sub>3</sub>ガスから燐を拡散させるものである。第2の方法は、PClO<sub>3</sub>ガスの代わりにPSG膜を用いて燐拡散を行なうものである。第3の方法は、LPCVD法でSiH<sub>4</sub>ガスとPH<sub>3</sub>ガスの混合気体を熱分解しドーパtpoly-Siを成膜するものである。何れの方法でも良いが、本実施例では第1番目の方法を採用した。なお本実施例では、各TFTのチャネル長Lを3μmに設定しチャネル幅Wが3μmとなる様にゲート電極をパタニングした。次にLDD領域を形成する工程Fに移る。LDD領域を形成する為には、nチャネルTFTの場合、ゲート電極105を形成した後As<sup>+</sup>又はP<sup>+</sup>イオンを0.5~1.5×10<sup>13</sup>/cm<sup>2</sup>のドーズ量で打ち込む。pチャネルTFTの場合には、As<sup>+</sup>又はP<sup>+</sup>イオンの代わりにB<sup>+</sup>イオンを0.1~2.0×10<sup>13</sup>/cm<sup>2</sup>のドーズ量で同様に打ち込めば良い。次に工程GにおいてSi<sub>3</sub>N<sub>4</sub>膜104をゲート電極105の周囲に沿って所定の形状にカットする。

【0027】図7の工程Hにおいて、ゲート電極105の両側面から1μmの範囲をLDD領域106として残す様にレジスト107を形成する。続いて、不純物イオンを1~3×10<sup>15</sup>/cm<sup>2</sup>のドーズ量で打ち込みソース領域及びドレイン領域を形成する。nチャネルTFTの場合にはAs<sup>+</sup>又はP<sup>+</sup>イオンを用い、pチャネルTFTの場合にはB<sup>+</sup>イオンを打ち込む。LDD領域106の長さ寸法は1μmに限られるものではないが、リーク電流低減の要求が厳しい画素スイッチング素子用TFTでは、LDD長は0.5μm以上が望ましい。この後工程IにおいてLPCVD法によりPSGからなる第1層間絶縁膜108を約600nmの膜厚で形成した後、1000℃10分間の窒素雰囲気アニールを行ないソース領域、ドレイン領域、LDD領域を活性化させる。続いて工程Jにおいてコンタクトホール109を第1層間絶縁膜108の所定箇所に形成する。

【0028】図8の工程Kにおいて配線電極110となる金属アルミニウムを約600nmの膜厚で堆積しパタニングする。この上にさらにPSGからなる第2層間絶縁膜111を約400nmの膜厚で形成する。次に工程Lに



において、PCVD法により窒化シリコン膜（P-SiNx膜）112を約100nmの膜厚で形成する。このP-SiNx膜112は水素を多量に含有する為、成膜後にアニールを行なう事によりTFETの水素化を効果的に実施できる。水素化によりpoly-Si膜102の欠陥密度を減少させ、欠陥に起因するTFETのリーク電流を抑制する事ができる。最後に工程MにおいてP-SiNx膜をエッチングにより全面除去し、コンタクトホールを開孔した後ITO等の透明導電膜を約150nmの膜厚で形成する。このITO膜を所定の形状にパタニングして画素電極113を得る。

【0029】なお上述した実施例においては、各TFETのチャネル長を3 $\mu$ mに設定し、チャネル幅を3 $\mu$ mに設定し、LDD長を1 $\mu$ mに設定していたが、TFETの寸法はこれに限られるものでない事は勿論である。又、上述した実施例においては、TFETのゲート電極が多結晶シリコンで構成され、ゲート絶縁膜が多層構造を有し、配線電極が金属アルミニウムを用いているが、本発明はこれに限られるものではない。ゲート電極は、例えばシリサイド、ポリサイド、Ta、Al、Cr、Mo、Ni等の金属、あるいはこれらの合金を用いる事もできる。加えて、本発明はTFETとしてプレーナ型、正スタガ型又は逆スタガ型の何れにも適用可能である事は勿論である。

【0030】次に図11を参照して、本発明にかかるマルチゲート構造LDD TFETを用いて構成されたアクティブマトリクス型液晶表示装置の構成例を説明する。本装置は、アクティブマトリクス基板21と対向基板22とをスペーサ23により貼り合わせた構造を有し、両基板の間に液晶層が充填されている。アクティブマトリクス基板21の表面にはマトリクス状に配列された画素電極24とこの画素電極24を駆動するスイッチング素子25とからなる液晶表示部26と、この液晶表示部26に接続される周辺駆動回路部27とが形成されている。スイッチング素子25はマルチゲート構造LDD TFETからなる。又、場合によっては周辺駆動回路27を構成するTFETもこの構造としても良い。一方、対向基板22の内表面には対向電極が形成されている。

【0031】次に本発明にかかるアクティブマトリクス型液晶表示装置の第2実施例を説明する。本実施例は特に交流駆動に起因するTFETのリーク電流増大防止構造に関係する。第2実施例の説明に入る前に、背景理解を容易にする為、図15を参照して交流駆動時の極性に依存するTFETの電流リーク現象を簡潔に説明する。一般にアクティブマトリクス型液晶表示装置では、対向電極の電位 $V_{co}$ に対する画素電極の電位が正極性の充電と保持、負極性の充電と保持を繰り返しており、TFETは画素電極側と入力信号線側の双方でソースにもドレインにもなっている。この正極性保持と負極性保持でソース／ドレイン間のリーク電流の大きさが異なっている事が

判明した。画素電極とTFETのゲート電極間の電位差については、正極性保持の場合画素電極に高い信号電圧 $V_i$ が書き込まれる為、保持時間を通してオフ状態のゲート電圧 $V_{co,off}$ との間に大きな電位差が生じる。一方、負極性保持の場合、オフ状態のゲート電圧 $V_{co,off}$ に近い反転極性の電圧 $V_i$ が書き込まれる為、ゲート電極との間の電位差は小さい。即ち、正極性保持の間のみ連続してゲート電極と画素電極との間に高電界がかかっている事を意味している。又、構造的にTFETが画素電極側と信号線側とで対称な場合でも、製造工程上の理由により、TFETの画素電極側の方が信号線側よりもダメージを受け易くなっている。この為poly-Si膜中の欠陥準位を通して流れるリーク電流は負極性保持の場合よりも正極性保持の方が遥かに大きくなってしまい書き込まれた画素電位を十分保持できず輝点欠陥となって現われるのである。この対策として、画素電極側のリーク電流をより抑制する為構造的にTFETを非対称にすると、画素スイッチング用TFET設計の自由度が減る為液晶画素の開口率を犠牲にせざるを得なかったり、又TFETのオン電流を十分確保する事ができず画素電位の書き込み不足が生ずるという課題があった。以下に説明する第2実施例は以上の課題を解決するもので、TFET設計の自由度を犠牲にする事なくTFETの高オン電流と低リーク電流を同時に達成する事を目的とする。

【0032】図16はかかる第2実施例を示しており、特に要部となるTFET周辺を拡大して表わした部分断面図である。図示するTFETはnチャネル型でありアクティブマトリクス型液晶表示装置の画素駆動用スイッチング素子を構成する。石英基板1の上にはパタニングされたpoly-Si膜が形成されている。この膜にはソース領域3と、ソース／ドレイン領域（接続領域）4と、ドレイン領域5と、この三者の間に位置する一対のチャネル領域2とが形成されている。ソース領域3、ソース／ドレイン領域4及びドレイン領域5と、各チャネル領域2との間には夫々ソース領域及びドレイン領域と同一導電型の低濃度不純物領域即ちLDD領域61～64が合計4箇所形成されている。各チャネル領域2の上方には夫々ゲート絶縁膜を介して対応するゲート電極9が形成されている。このゲート絶縁膜は二層構造を有しゲート酸化膜7とゲート窒化膜8とからなる。石英基板1はPSG等からなる第1層間絶縁膜10により被覆されている。第1層間絶縁膜10に形成されたコンタクトホールを介して、アルミニウム等からなる配線電極11がソース領域3に電気接続されている。同じくコンタクトホールを介してITOからなる画素電極13がドレイン領域5に電気接続されている。この画素電極13は第2層間絶縁膜12の上に成膜されている。

【0033】本実施例の特徴事項として複数個のTFETに設けられた複数個のLDD領域のうち少なくとも1個は、他のLDD領域と異なる長さを有している。即ち、

第1及び第2のLDD領域61, 62の長さを夫々1  $\mu$ m、第3のLDD領域63の長さを0.5  $\mu$ m、第4のLDD領域64の長さを1.5  $\mu$ mとした。第4のLDD領域64の長さを1.5  $\mu$ mとしたのは画素電極側のリーク電流を抑える為である。第3のLDD領域63の長さを0.5  $\mu$ mとしたのは、第4のLDD領域64を他のLDD領域より長くした事によるオン電流の落ち込みを補償し、十分に高い書き込み電流を確保する為である。第3のLDD領域63の長さを0.5  $\mu$ mに短縮してもリーク電流が増大する惧れはない。前述した様に正極性電位を画素電極側が保持している場合に最も高い電界がかかるのは第4のLDD領域64である事が解析により明らかになっている。

【0034】図17はnチャンネル型LDD TFTのゲート電圧/ドレイン電流曲線を示すグラフである。実線は上述した第2実施例にかかるTFTの特性カーブを示し、点線は従来のTFTの特性カーブである。この従来例はチャンネル長Lが5  $\mu$ mでチャンネル幅Wが3  $\mu$ mのシングルゲートLDD TFTであり、LDD長は1  $\mu$ m、LDD濃度は $1 \times 10^{13} \text{ cm}^{-2}$ である。測定は何れの場合も画素電極側がドレインとなる条件で行なった。ドレイン電圧は10Vである。図から明らかな様に、第2実施例にかかるTFTは従来のTFTに比べてリーク電流が1桁低く、且つオン電流が2倍以上大きいという非常に優れた特性を有している事がわかる。

【0035】次に、図18ないし図20を参照して上述した第2実施例の製造工程を説明する。先ず石英基板201上にLPCVD法でpoly-Si膜202を約75nmの厚みで成膜する。必要ならばこの後Si<sup>+</sup>イオンをイオンインプランテーションする事により非晶質化し、続いて600℃程度の温度で炉アニールする事により、poly-Siを大粒径化する。なお最初から非晶質シリコンを成膜する場合にはPCVD法を用いて150~250℃程度の温度で形成しても良い。この様にして大粒径化されたpoly-Si膜をTFTに合わせたパタンにエッチングする。続いてpoly-Si膜202を酸化し、ゲート酸化膜203を約60nmの膜厚で形成する。このゲート酸化膜203上にLPCVD法でSi<sub>3</sub>N<sub>4</sub>膜204を約10~20nm成膜する。場合によってはSi<sub>3</sub>N<sub>4</sub>膜204を酸化し、SiO<sub>2</sub>膜を約1~2nm形成する。この様にして形成したゲート絶縁膜はSiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>の三層構造となる為ONO構造と呼ばれている。この様な構造にするのはゲート耐圧を十分確保し、信頼性を向上させる為である。この後TFTの閾値電圧V<sub>th</sub>を制御する為、必要ならばB<sup>+</sup>イオンを $1 \sim 8 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量で打ち込む。このゲート絶縁膜上に燐ドープの低抵抗多結晶シリコンを約350nm形成してゲート電極205とする。ゲート電極の形成方法には3通りある。第1の方法は、ノンドープ多結晶シリコン薄膜を形成しPClO<sub>3</sub>ガス

から燐を拡散させる方法である。第2の方法は、PClO<sub>3</sub>ガスの代わりにPSG膜を用い燐拡散を行なう方法である。第3の方法は、LPCVD法でSiH<sub>4</sub>ガスとPH<sub>3</sub>ガスの混合気体を熱分解しドーブtpoly-Siを成膜する方法である。何れの方法を用いても良いが、本実施例では第1の方法を採用した。なお本例ではダブルゲートTFTのチャンネル長Lは夫々2.5  $\mu$ mに設定し、チャンネル幅Wは3  $\mu$ mに設定した。続いてLDD領域206の形成工程に移る。LDD領域を形成するには、nチャンネルTFTの場合、ゲート電極205の形成後As<sup>+</sup>又はP<sup>+</sup>イオンを $0.5 \sim 1.5 \times 10^{13} / \text{cm}^2$ のドーズ量で打ち込む。pチャンネルTFTの場合はAs<sup>+</sup>又はP<sup>+</sup>イオンの代わりにB<sup>+</sup>イオンを $0.1 \sim 2.0 \times 10^{13} / \text{cm}^2$ のドーズ量で同様に打ち込めば良い。この後、ゲート電極205の周囲に沿ってSi<sub>3</sub>N<sub>4</sub>膜204を所定の形状にカッティングする。

【0036】次に図19の工程に移る。ゲート電極205の両側面から一定の長さをLDD領域として残す様にレジスト207を形成する。nチャンネルTFTを形成する為、As<sup>+</sup>又はP<sup>+</sup>イオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量で打ち込みソース領域及びドレイン領域を設ける。なおpチャンネルTFTを形成する場合にはB<sup>+</sup>イオンを打ち込む。レジスト207のパタニング形状を適切に設定して、夫々所望の長さ寸法を有するLDD領域を残す。前述した様に、第1LDD領域208及び第2LDD領域209の長さは1  $\mu$ m、第3LDD領域210の長さは0.5  $\mu$ m、第4LDD領域211の長さは1.5  $\mu$ mである。この後LPCVD法で第1PSG膜212を約600nmの膜厚で形成し、1000℃10分間のN<sub>2</sub>アニールを行ないソース領域、ドレイン領域、LDD領域を活性化させる。次いでコンタクトホール213を第1PSG膜212に開口する。

【0037】最後に図20の工程に移る。配線電極214となるアルミニウムを約600nm形成しパタニングする。この上にさらに第2PSG膜215を約400nm形成する。続いてPCVD法で窒化シリコン膜(P-SiN<sub>3</sub>膜)216を約100nm形成する。P-SiN<sub>3</sub>膜は水素を多量に含有する為、成膜後にアニールする事でTFTの水素化を効果的に行なえる。水素化によりpoly-Si膜の欠陥密度を減少させ、欠陥に起因するTFTのリーク電流を下げる事ができる。最後にP-SiN<sub>3</sub>膜をエッチング除去した後、コンタクトホールを開けITO薄膜を約150nm形成する。このITO薄膜を所定の形状にパタニングして画素電極217を形成する。

【0038】図21は本発明にかかるアクティブマトリクス型液晶表示装置の第3実施例を示す模式的な断面図である。基本的には上述した第2実施例と同一の構造を有しており、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、第1ないし第4

LDD領域61, 62, 63, 64のうち少なくとも1個は、他のLDD領域と異なる濃度を有している事である。逆に、全てのLDD領域は同一の長さ1.0  $\mu\text{m}$ に設定されている。具体的には、画素電極13に一番近い第4のLDD領域64が、他のLDD領域61, 62, 63に比べて小さな濃度を有している。例えば、ゲート電極9の形成後 $\text{As}^+$ 又は $\text{P}^+$ イオンを $0.1 \sim 0.4 \times 10^{11} \text{cm}^{-2}$ 程度のドーズ量で打ち込み、次いで第4のLDD領域64のみをレジストで覆った後再び $\text{As}^+$ 又は $\text{P}^+$ イオンを $0.6 \sim 1.2 \times 10^{11} \text{cm}^{-2}$ 程度のドーズ量で打ち込む。この様にして第4のLDD領域64のみが濃度の低いTFTができるので、リーク電流を低く抑える事ができる。本実施例では第1から第4までのLDD領域の長さは全て1  $\mu\text{m}$ である。オン電流が不足する場合は前述した第2実施例と同様に第3のLDD領域63の長さを、例えば0.5  $\mu\text{m}$ 程度に短くしてやれば、リーク電流を抑えたまま高いオン電流を確保する事ができる。

【0039】言うまでもなくTFTのLDD長、LDD濃度、及びそれらの組み合わせは第2及び第3実施例で開示した場合に止まるものではない。LDD長、LDD濃度、及びそれらの組み合わせはTFTを使用するアクティブマトリクス型液晶表示装置の仕様が異なれば、当然それに合わせて最適化すべき性質のものだからである。なお、第2及び第3実施例においてはTFTのチャネル長を2.5  $\mu\text{m}$ に設定し、チャネル幅を3  $\mu\text{m}$ に設定し、LDD長を1  $\mu\text{m}$ に設定していたが、TFTの寸法はこれに限られるものでないのは勿論である。以上に説明した第2及び第3実施例によればTFT設計時の自由度が大きくなる為、画素電極パターンレイアウトを設計する際の自由度も大きくなり、結果的に画素開口率が最も大きくなる様にTFTを設計する事も可能になる。こ

の様に本発明は液晶表示装置の開口率を改善する点にも大きな寄与がある。

【0040】次に、スイッチング素子の冗長性という別の観点から本発明を詳細に説明する。例えば、図1に示した第1実施例では、スイッチング素子は2個の薄膜トランジスタからなり各ゲート電極を共通接続したダブルゲート構造を有している。なお、一般には3個以上のTFTの直列接続を含めてマルチゲート構造と称している。一対の薄膜トランジスタはリーク電流抑制構造を有している。具体的にはLDD構造を有している。この2個のLDD-TFTを直列接続して電流リーク故障に対する冗長性を確保するものである。以下、ダブルゲート構造LDD-TFTからなるスイッチング素子の冗長性に関し、種々の欠陥モードを作成して評価を行なったので説明する。

【0041】先ず最初に図22を参照して評価の対象となったダブルゲートLDD-TFTからなるスイッチング素子のモデル構造を説明する。このスイッチング素子はTFT1とTFT2の直列接続からなる。TFT1の開放端側はソースとして接地し、TFT2の開放端側はドレインとして所定の電圧 $V_{ds}$ を印加する。又共通接続されたゲートには所定のゲート電圧 $V_{gs}$ が印加される。この条件でスイッチング素子に流れるリーク電流を測定し評価するものである。TFT1のチャネル領域両側に設けられたLDD領域を①、②で表わし、TFT2のチャネル領域両側に設けられたLDD領域を③、④で表わす。

【0042】図22に示したモデルにおいて、4個のLDD領域①～④の1個又は2個を模擬的に破壊したモードを複数種類作成し、リーク電流を測定した。その結果を以下の表1に示す。

【表1】

ダブルゲート L D D	①	②	③	④	リーク電流 (pA)	判 定
モ ー ド 1	○	○	○	○	7. 8	正 常
モ ー ド 2	○	○	○	×	27. 7	正 常
モ ー ド 3	×	○	○	○	9. 0	正 常
モ ー ド 4	○	×	○	○	14. 6	正 常
モ ー ド 5	○	○	×	○	6. 6	正 常
モ ー ド 6	×	×	○	○	13. 1	正 常
モ ー ド 7	○	○	×	×	25. 5	正 常
モ ー ド 8	○	○	-	-	24. 6	正 常
モ ー ド 9	○	×	×	○	14. 7	正 常
モ ー ド 10	○	×	-	-	1000	画素欠陥
モ ー ド 11	○	×	○	×	340	画素欠陥
モ ー ド 12	×	×	×	×	488	画素欠陥

【0043】表1において第1欄はダブルゲートLDD

TFTからなるスイッチング素子の各種欠陥モード1～12を挙げている。なお、これらのモードの中には比較の為シングルゲートLDD TFTに関する欠陥モードも含まれている。本モデルではTFTの寸法はチャネル幅が50 $\mu$ mに設定され、チャネル長が2.5 $\mu$ mに設定され、LDD長は1 $\mu$ mに設定されている。特に、リーク電流の測定を容易とする為、チャネル幅を実際のスイッチング素子用TFTの16.7倍に設定した。図1の第2欄は各モードについて欠陥の生じたLDD領域の箇所を示している。第2欄中①～④は図22に示した4個のLDD領域の位置に夫々対応している。例えばモード1では全てのLDD領域①～④に○印が付されている。従って、モード1は欠陥のないダブルゲートLDD

TFTを表わしている。モード2ではLDD領域④に×印が付されている。従って、このモード2は図22を参照するとTFT2のドレイン側LDD領域④に欠陥がある事を意味している。なお、この欠陥は人為的にLDD領域を削除する事によりシミュレートしている。以下同様に、各モードについて欠陥LDD領域の箇所を表わしている。但し、モード8及びモード10は比較の為に挙げられたシングルゲートLDD TFTからなるスイッチング素子であり、LDD領域③、④に該当する部分がないので-印を付してある。表1の第3欄は各モードについてリーク電流を測定した結果を表わしている。なおこのリーク電流は図22を参照するとVgs=-6Vに設定し、Vds=+10Vに設定して測定したものである。最後に表1の第4欄は各モード毎に評価結果を表わす判定を示している。モード1～モード9については部分的にLDD欠陥が含まれている場合でも、スイッチ

ング素子として正常に動作し画素欠陥が認められない事を表わしている。一方、モード10～モード12についてはスイッチング素子が正常に動作せず、画素欠陥が現われる事を示している。

【0044】以上の条件により作成された表1に基き、ダブルゲート構造LDD TFTからなるスイッチング素子の冗長性につき考察を加える。モード1は4個のLDD領域①～④に全て欠陥がない場合を示しており、リーク電流は当然ながら7.8pAと低く画素欠陥は現われない。次にモード2～モード5は4個のLDD領域①～④のうち何れか1箇所が破壊もしくはダメージを受けた場合である。この場合には、一対のTFTのうち一方は完全に正常に動作する為、リーク電流は低く画素欠陥は発生しない。又、モード6、7については片方のTFTに含まれるLDD領域が両方ともダメージを受けた場合である。この時にも残りのTFTが正常に動作する為リーク電流は低く画素欠陥は発生しない。一方モード8は比較の為シングルゲートLDD TFTからなるスイッチング素子を表わしており、LDD領域の破壊がない限りリーク電流を抑制でき画素欠陥は発生しない。しかしながら、モード10に示す様にシングルゲートLDD TFTの一方のLDD領域(モード10ではドレイン側LDD領域)がダメージを受けるとリーク電流が極端に増大し画素欠陥となる。従ってシングルゲート構造では何等冗長性が得られず、LDD領域の破壊は直ちに画素欠陥に繋がる。さらに、モード9、11はダブルゲート構造で両TFTの夫々に1箇所ずつLDD領域のダメージが生じた場合を表わしている。モード9では一方のTFTのドレイン側LDD領域②と他方のTFTのソース側LDD領域③が破壊されている。この場合でも、他方

のTFTのドレイン側LDD領域④が効果的に機能しリーク電流を抑制できる。これに対してモード11では各TFTのドレイン側LDD領域②, ④が同時に破壊されている。この時に限り、リーク電流が増大し画素欠陥が発生する。従って、ダブルゲート構造では、少なくともドレインとして機能する不純物領域とチャネル領域との間にLDD領域を設ける事により、所望の冗長性を確保する事が可能になる。但し、ダブルゲート構造のスイッチング素子を液晶画素駆動に用いた場合、交流駆動を行なうのでソース領域とドレイン領域は交互に入れ替わり互いに等価である。従ってこの場合には図1に示した第1実施例の様に、一対のチャネル領域の両側に合計4箇所のLDD領域を設ける事が最適な構造となる。最後にモード12は4箇所のLDD領域が全て破壊された場合を示しており、当然ながらリーク電流が増大し画素欠陥が現われる。但し、モード12が発生する確率は統計的に極めて低く、電流リーク性の画素欠陥を事実上完全になくす事ができる。

【0045】以上の考察から明らかな様に、ダブルゲート構造を構成する一対のLDD TFTのうち少なくとも一方が単独でも十分リーク電流を抑制する機能を保持している時画素欠陥は発生しない事が理解される。1箇のTFTが製造工程中でリーク電流の増大をもたらす様なダメージを受ける確率、あるいはリーク電流増大に繋がる結晶欠陥を有する確率は、10万画素につき1～数画素にすぎず、 $10^{-5}$ のオーダーである事が経験的に確認されている。従って、直列接続された一対のTFTが同時にダメージを受け、あるいは同時にリーク電流増大に繋がる結晶欠陥を有していて実際の画素欠陥が発生する確率は $(10^{-5})^2 = 10^{-10}$ となり、100億分の1程度である。従って、事実上画素欠陥は消滅する事になる。実際に本発明にかかるダブルゲート構造LDD TFTからなるスイッチング素子を用いてアクティブマトリクス型液晶表示装置を作成し、約3300万画素分を検査したところ、スイッチング素子の電流リークが原因となって生じる画素輝点欠陥は全く発生しておらず、本発明にかかるダブルゲートLDD TFTの冗長性効果は絶大である事が明らかである。

【0046】一方、従来のLDD領域を備えていないマルチゲート構造TFTをスイッチング素子として利用した場合、電流リーク欠陥に対する冗長性は得られない。なぜなら従来のマルチゲート構造TFTは1箇のTFTで十分にリーク電流を抑える事ができない為に考案されたものであり、冗長性に必要な「1箇のTFTでリーク電流が十分に低い」という条件を満たしていないからである。

【0047】又従来のシングルゲート構造LDD TFTを画素駆動用スイッチング素子に採用した場合、画素欠陥の大部分が、スイッチング素子のオフ状態における電流リーク増大故障に起因している事が明らかになって

いる。この様にTFTの電流リークが画素欠陥の大部分を占めているのは、プラズマ工程、ラビング工程等の製造処理中静電気が画素電極を通して画素電極側のTFTドレイン端部に位置するPN接合を破壊する事が主な原因であると考えられている。この様なリーク欠陥は従来のシングルゲート構造スイッチング素子を用いたアクティブマトリクス型液晶表示装置の場合、10万画素につき1～数画素の割合で発生しており製造工程上の対策では静電気の発生を制御できず、完全に画素欠陥を撲滅する事ができなかった。又静電ダメージ以外にはTFTの素子領域を構成するpoly-Siの結晶欠陥に起因するリーク電流増大も欠陥原因の1つであり、これも製造工程上の改善では対処する事が困難であった。

【0048】さらにアクティブマトリクス型液晶表示装置の製造歩留りを改善する為、従来から種々の冗長構成が採用されてきた。例えば1画素に対して複数のスイッチング素子を設けたり、予備のスイッチング素子を設ける等の構成が従来から知られている。しかしながらこれらの従来方法は初期の製造歩留りをある程度確保する為やむなく採用されるものであり、複数のスイッチング素子を1箇の画素に対して設けるという冗長性の代償として、製造工程の増加、配線の断線故障、接続工程の複雑化、周辺駆動回路の複雑化等といった多くの欠点が生じていた。これに対して本発明ではダブルゲート構造LDD TFTを採用する事により単独のスイッチング素子自体に冗長性を持たせており上述した従来の欠点は一切存在しない。即ち、製造工程の増加はなく欠陥画素をリペアする必要もなく、周辺駆動回路の変更も勿論必要ない。以上述べた様に、ダブルゲート構造LDD TFTによって得られる冗長性の利点は絶大であり実に図り知れないものがある。特に次世代の高品位テレビジョンシステム用に開発される数100万画素以上を含むアクティブマトリクス型液晶表示装置に対して、本発明は極めて有効な技術となる。

【0049】なお本実施例ではダブルゲート構造LDD TFTを例にとってスイッチング素子の冗長性を説明したが、以上の説明から理解できる様に本発明はこれに限られるものではない。例えば、1箇のスイッチング素子に含まれるTFTは2箇に限られず3箇以上のマルチゲート構造としても良い。又スイッチング素子の構成要素としてTFTに代え単結晶シリコンウェハ上に形成したMOSFETの直列接続であっても良い。さらにレーザアニールpoly-Si TFTの直列接続でも良いし、アモルファスシリコンTFTの直列接続としても良い。これらのトランジスタ素子はLDD TFTと同様に所定の電流リーク抑制構造を備えている。又アクティブマトリクス液晶表示装置として利用する場合、画素の大きさや補助容量の大きさも本実施例に限られるものではない事は当然である。

【0050】最後に参考として、表1に示した各モード

1～12の具体的な構成について説明する。先ず最初にモード1については、図23に示すスイッチング素子構成を採用した。この例ではスイッチング素子はnチャネル型からなる一対のTFTを直列接続しており、例えばアクティブマトリクス液晶表示装置の画素駆動に用いられる。液晶画素は一般に交流駆動する為、スイッチング素子のソース側とドレイン側は交互に入れ替わる。従って、LDD TFTの構造、位置関係はソース及びドレイン領域に対して対称でなくてはならない。即ち、ソース及びドレイン領域は互いに等価で交換可能でなくてはならない。従って基本的な構成となるモード1では、LDD領域は一対のゲート電極の端面に接して4箇所設けてある。以下具体的にその構成を説明する。石英等からなる絶縁基板1の上にはパタニングされた多結晶半導体層例えばpoly-Si膜が形成されている。この膜にはソース領域3とソース/ドレイン領域4とドレイン領域5と、この3者の間に位置する一対のチャネル領域2とが形成されている。ソース領域3、ソース/ドレイン領域4及びドレイン領域5と、各チャネル領域2との間には同一導電型の低濃度不純物領域即ちLDD領域6が合計4箇所形成されている。図22に示したモデルと対応させる為、4個のLDD領域には①～④の符号が付してある。各チャネル領域2の上方にはゲート絶縁膜を介してゲート電極9が形成されている。絶縁基板1は層間絶縁膜10により被覆されている。層間絶縁膜10に形成されたコンタクトホールを介して配線電極11がソース領域3に電気接続されている。同じくコンタクトホールを介して画素電極13がドレイン領域5に電気接続されている。

【0051】図24は図23に示したスイッチング素子のドレイン電流( $I_{ds}$ )/ゲート電圧( $V_{gs}$ )特性を示すグラフである。表1において先に示した様に、ゲート電圧 $V_{gs}$ を-6Vに設定した場合のリーク電流は7.8pAであった。この様にダブルゲート構造LDD TFTを採用する事によりスイッチング素子のリーク電流を大幅に抑制できリーク電流増大等に起因する画素欠陥を劇的に減少させる事に成功した。

【0052】図25はモード2に対応するスイッチング素子構造を示している。このモード2では一方のLDD TFTのドレイン端側に位置するLDD領域④が除かれており、等価的に考えると当該LDD部分にダメージが生じた事を意味している。即ちLDD領域④を除く事は当該部分の静電破壊あるいは結晶欠陥等をシミュレートしていると考えられる。なお層間絶縁膜、配線電極、画素電極等の構造については図23に示した第1モードと同一であるので図示を省略してある。以下全てのモードについて同様である。

【0053】図25に示したモード2のスイッチング素子について、ドレイン電流/ゲート電圧特性を測定した結果を図26のグラフに示す。モード1と同一条件下で

のリーク電流は表1に示した様に27.7pAと高くなるが、画素欠陥となる程ではなくリーク電流は十分低く抑えられている。即ち、モード2の意味するところは、LDD領域④にダメージが生じてスイッチング素子自体は正常に動作可能であり所望の冗長性が得られている事である。

【0054】次にモード3については、図25に示したモード2の極性を反転する事により実現できる。即ちスイッチング素子のドレイン電圧の極性を反転させ、ソース端側となるLDD領域①を省いた条件として、ドレイン電流/ゲート電圧特性を測定した。このモード3は図23の構造を参照すると、ソース端側の接合にダメージや結晶欠陥がある場合をシミュレートしていると考えられる。モード1と同条件下でのリーク電流測定結果は9.0pAであり、リーク電流差は測定誤差範囲内になっており、実質上ソース端側のダメージはリーク特性に影響しない事が分かる。

【0055】次に図27はモード4に対応するモデル構造を示しており、LDD領域②が除かれている。即ちこの部分にダメージ又は結晶欠陥が発生した事をシミュレートしている。この場合のリーク電流は表1に示す様に14.6pA程度であり僅かに上昇するが十分に低い値であり画素欠陥とはならない。

【0056】次にモード5については図27に示したモード4のスイッチング素子に対してTFTのドレイン電圧の極性を反転させる事により実現した。即ち図27に示すドレイン側とソース側を入れ替える事により、等価的にLDD領域③を除いた事になる。ドレイン電圧の極性を反転させた条件でドレイン電流/ゲート電圧特性を測定したところモード1と同一条件でのリーク電流は6.6pA程度でありその差は誤差範囲内である。従って、実質上LDD領域③にダメージが加わってもスイッチング素子のリーク特性に影響しない事が分かる。

【0057】図28はモード6に対応するスイッチング素子のモデルを表わしている。即ち一方のTFT側のLDD領域①、②が両方とも除去されたものである。この場合のリーク電流は13.1pA程度であり僅かに上昇するが十分に低い値であり、やはり画素欠陥とはならない。

【0058】モード7については、図28に示したモード6のソース側とドレイン側を入れ替える事により実現した。即ち、等価的に一対のLDD領域③、④を同時に除去した事になる。この場合のリーク電流は25.5pAとやや高くなるが、これも画素欠陥となる程ではなくリーク電流は十分低く抑えられている。

【0059】モード8は比較の為作成されたものであり、シングルゲート構造のLDD TFTからなるスイッチング素子である。チャネル幅は50 $\mu$ mに設定され、チャネル長は2.5 $\mu$ mに設定され、LDD長は1 $\mu$ mに設定されている。モード1と同一条件で測定され

10

20

30

40

50

たリーク電流は 2 4 . 6 pA 程度であり画素欠陥は発生しない。即ち、シングルゲート構造であっても LDD TFT が正常である場合に限りスイッチング素子は正常に動作する。しかしながら当然の様にシングルゲート構造では所望の冗長性を得る事はできない。

【0060】図 30 はモード 9 に対応するスイッチング素子のモデルを表わしている。即ちダブルゲートを構成する一方の TFT から LDD 領域②が除かれ、同じく他方の TFT から LDD 領域③が除かれている。この場合におけるモード 1 と同一条件下のリーク電流は 1 4 . 7 pA 程度であり僅かに上昇するが十分に低い値であり、やはり画素欠陥とはならない。即ち、一對の LDD TFT に同時にダメージが加わっても依然としてスイッチング素子自体の正常な動作を確保でき所望の冗長性が得られる。特にモード 9 の場合ドレイン側に位置する LDD 領域④が残されておりこの存在がリーク電流抑制に大きく寄与している。

【0061】図 31 は比較例として設けられたモード 10 に対応するスイッチング素子のモデル構造を表わしている。このスイッチング素子は、シングルゲート構造の LDD TFT からなりドレイン側の LDD 領域②が除去されている。なお比較の為ダブルゲート構造と同様に、チャネル幅は 50  $\mu\text{m}$  に設定され、チャネル長は 2 . 5  $\mu\text{m}$  に設定され、LDD 長は 1 . 0  $\mu\text{m}$  に設定されている。

【0062】このモード 10 のドレイン電流/ゲート電圧特性を図 32 のグラフに示す。このグラフから明らかな様にリーク電流は大きく上昇し、モード 1 と同一条件ではリーク電流が 1 nA 以上となる。同時に短チャネル化により TFT の閾値電圧  $V_{th}$  が大きくデプレッション側にシフトし、画素欠陥となる。

【0063】図 33 はモード 11 に対応するスイッチング素子のモデル構造を表わしている。このモードでは一方の TFT のドレイン側から LDD 領域②が除去され、他方の TFT のドレイン側からも LDD 領域④が除去されている。

【0064】図 33 に示したモード 11 のスイッチング素子についてドレイン電流/ゲート電圧特性を測定した結果を図 34 のグラフに示す。リーク電流が著しく増大しており、モード 1 と同一測定条件でリーク電流は 3 4 0 pA 程度である。

【0065】最後に図 35 は比較例としてモード 12 に対応するスイッチング素子構造を示している。このモードはダブルゲート構造を有しているが全ての LDD 領域①～④が除去されており、結果的に LDD 構造を採用しない従来のダブルゲート構造となっている。

【0066】図 36 は図 35 に示したモード 12 のスイッチング素子のドレイン電流/ゲート電圧特性を示すグラフである。図示する様にリーク電流は著しく増大しており、モード 1 と同一測定条件でリーク電流は 4 8 8 pA

程度である。

【0067】モード 11、12 の何れの場合も最早画素欠陥を抑える事はできない。従ってリーク欠陥を抑える為の冗長性を確保する為には、ダブルゲート構造を構成する 2 個の TFT の各々が、その TFT と等価な単独 TFT を画素駆動用スイッチング素子として用いた場合でも画素欠陥が生じない程度にリーク電流が小さい事が必要である事が分かる。

【0068】

【発明の効果】以上説明した様に、本発明の一側面によれば、画素駆動用のスイッチング素子は、マルチゲート構造に LDD 構造を付加した TFT からなる為、微細化してもリーク電流を低く抑制でき且つ TFT 閾値電圧のばらつきの少ない状態を容易に実現できるという効果がある。加えて、ゲート容量カップリングのばらつきを低く抑える事もできるという効果がある。この為、高精細、高解像度、高開口率のアクティブマトリクス型液晶表示装置を実現できその効果は絶大なものがある。又、複数個の低濃度不純物領域のうち少なくとも 1 個は他の低濃度不純物領域と異なる長さ又は異なる濃度とする事により、TFT のリーク電流を低く抑えたまま高いオン電流を得る事ができるので、アクティブマトリクス型液晶表示装置の高性能化に大きく寄与する。又 TFT 設計の自由度が高くなる為画素開口率の向上にも寄与する。本発明の他の側面によれば、スイッチング素子は複数個の薄膜トランジスタからなり各ゲート電極を共通接続したマルチゲート構造を有する。個々の薄膜トランジスタはリーク電流抑制構造を有しており、少なくとも 2 個の薄膜トランジスタを直列接続して電流リーク故障に対する冗長性を付与している。この様に、スイッチング素子自体に冗長性を付与した為、配線や周辺駆動回路を複雑化する事なく、スイッチング素子のリーク電流欠陥を大幅に抑制する事が可能になり、例えば液晶画素駆動に用いた場合画素欠陥の発生を従来に比し顕著に抑える事ができ歩留りや信頼性が格段に改善できるという効果がある。この様に本発明はアクティブマトリクス型液晶表示装置の性能向上に多大な効果を奏するものである。

【図面の簡単な説明】

【図 1】本発明にかかるアクティブマトリクス型液晶表示装置の第 1 実施例の要部となる TFT を示す模式的な部分断面図である。

【図 2】図 1 に示した TFT の変形例を示す模式的な断面図である。

【図 3】同じく図 1 に示した TFT の他の変形例を示す模式的な断面図である。

【図 4】同じく図 1 に示した TFT のさらに別の変形例を示す模式的な断面図である。

【図 5】図 1 に示した TFT の製造工程図である。

【図 6】同じく製造工程図である。

【図 7】同じく製造工程図である。

【図 8】同じく製造工程図である。

【図 9】本発明にかかる n チャネル型マルチゲート LDD TFT のゲート電圧／ドレイン電流特性を示すグラフである。

【図 10】従来の n チャネル型マルチゲート TFT のゲート電圧／ドレイン電流特性を示すグラフである。

【図 11】本発明にかかるマルチゲート構造 LDD TFT を用いて構成されたアクティブマトリクス型液晶表示装置の一例を示す斜視図である。

【図 12】従来の LDD 構造 TFT を示す断面図である。 10

【図 13】従来のマルチゲート構造 TFT を示す断面図である。

【図 14】従来のマルチゲート構造 TFT をスイッチング素子に用いたアクティブマトリクス型液晶表示装置における 1 画素分の等価回路図である。

【図 15】従来のアクティブマトリクス型液晶表示装置における画素電位の変化を示す波形図である。

【図 16】本発明にかかるアクティブマトリクス型液晶表示装置の第 2 実施例の要部となる TFT を示す模式的な部分断面図である。 20

【図 17】本発明にかかる n チャネル型マルチゲート LDD TFT のゲート電圧／ドレイン電流特性を示すグラフである。

【図 18】図 16 に示した TFT の製造工程図である。

【図 19】同じく製造工程図である。

【図 20】同じく製造工程図である。

【図 21】本発明にかかるアクティブマトリクス型液晶表示装置の第 3 実施例の要部となる TFT を示す模式的な部分断面図である。 30

【図 22】本発明にかかるスイッチング素子の冗長モデルを表わす模式図である。

【図 23】本発明にかかるスイッチング素子の冗長性の

説明に供する断面図である。

【図 24】同じく冗長性の説明に供するドレイン電流／ゲート電圧特性図である。

【図 25】同じく冗長性の説明に供する断面図である。

【図 26】同じく冗長性の説明に供するドレイン電流／ゲート電圧特性図である。

【図 27】同じく冗長性の説明に供する断面図である。

【図 28】同じく冗長性の説明に供する断面図である。

【図 29】同じく冗長性の説明に供する断面図である。

【図 30】同じく冗長性の説明に供する断面図である。

【図 31】同じく冗長性の説明に供する断面図である。

【図 32】同じく冗長性の説明に供するドレイン電流／ゲート電圧特性図である。

【図 33】同じく冗長性の説明に供する断面図である。

【図 34】同じく冗長性の説明に供するドレイン電流／ゲート電圧特性図である。

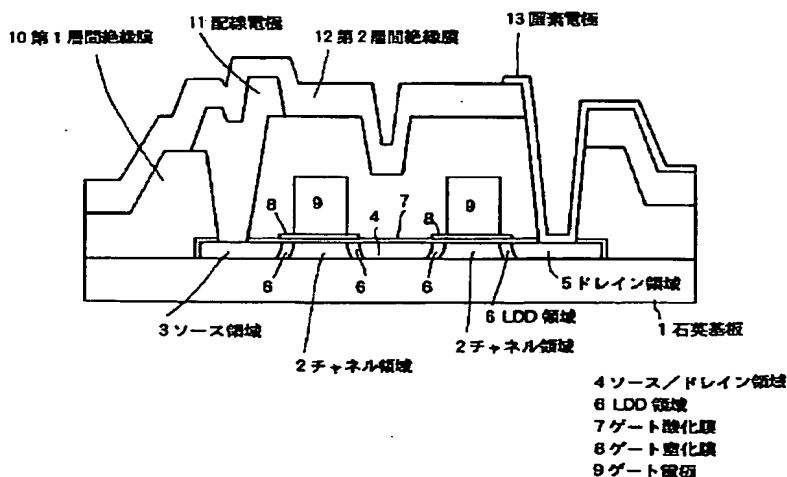
【図 35】同じく冗長性の説明に供する断面図である。

【図 36】同じく冗長性の説明に供するドレイン電流／ゲート電圧特性図である。

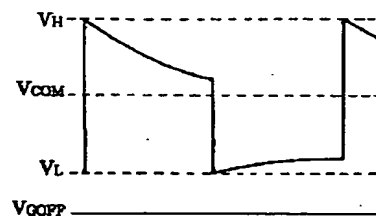
【符号の説明】

- 1 石英基板
- 2 チャネル領域
- 3 ソース領域
- 4 ソース／ドレイン領域（接続領域）
- 5 ドレイン領域
- 6 LDD 領域
- 7 ゲート酸化膜
- 8 ゲート窒化膜
- 9 ゲート電極
- 10 第 1 層間絶縁膜
- 11 配線電極
- 12 第 2 層間絶縁膜
- 13 画素電極

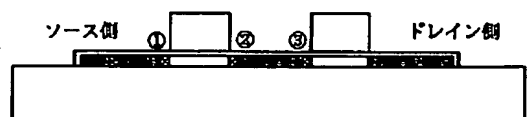
【図 1】



【図 15】

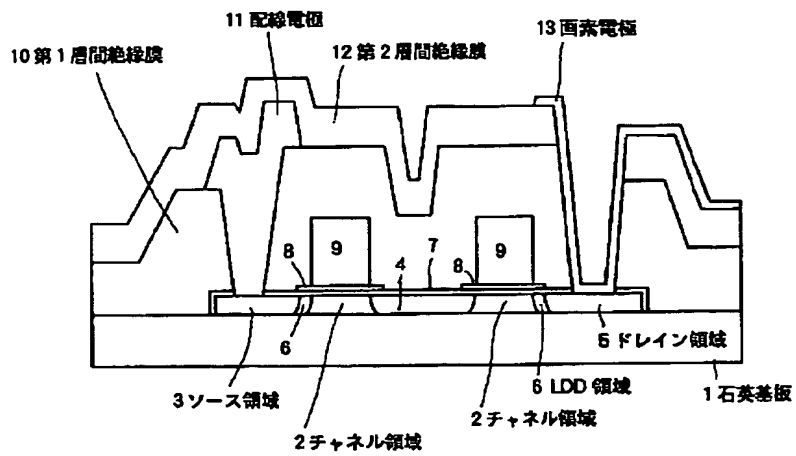


【図 25】

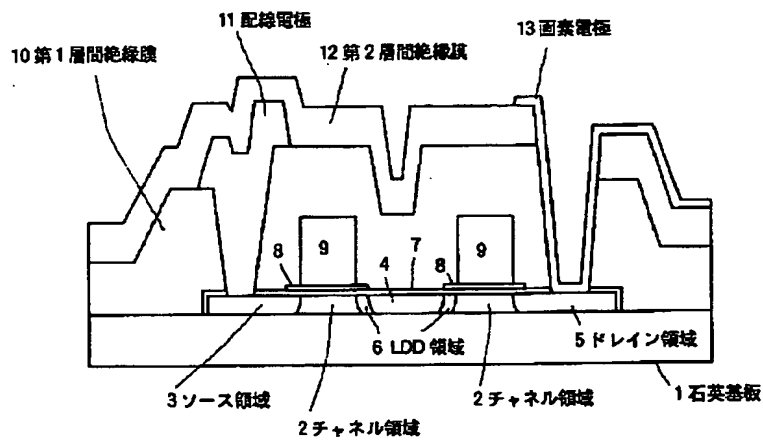




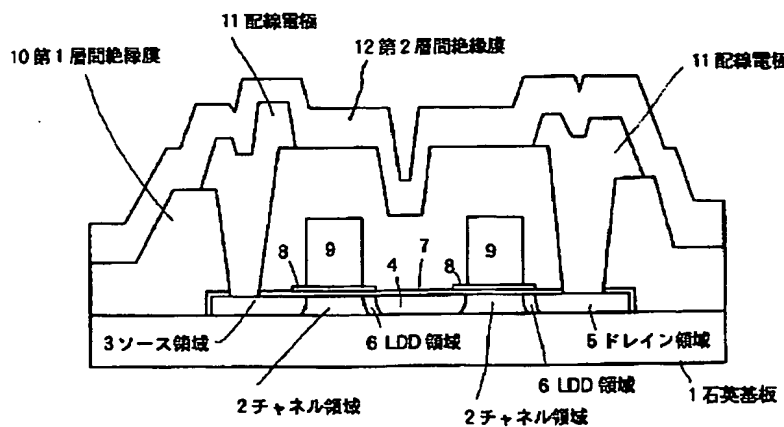
【図2】



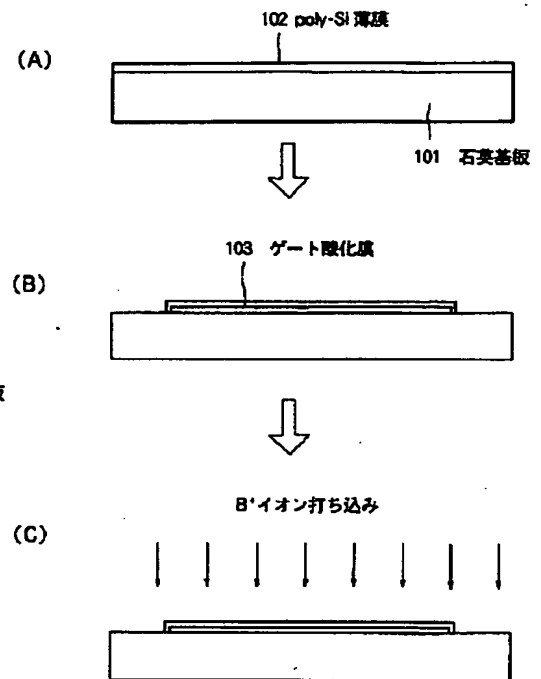
【図3】



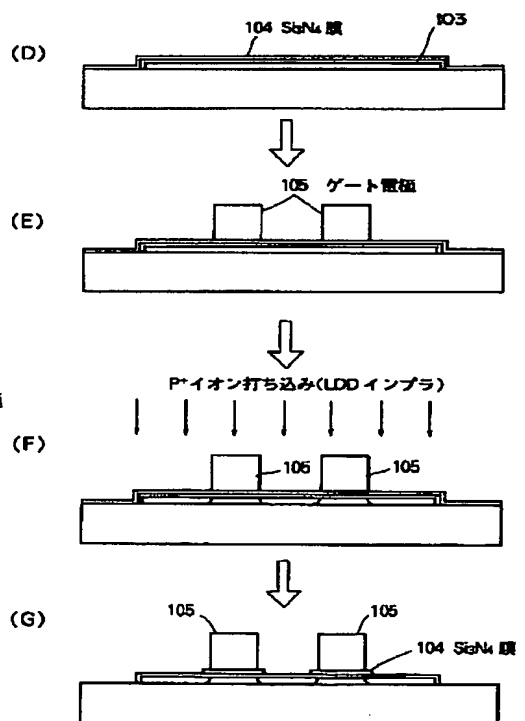
【図4】



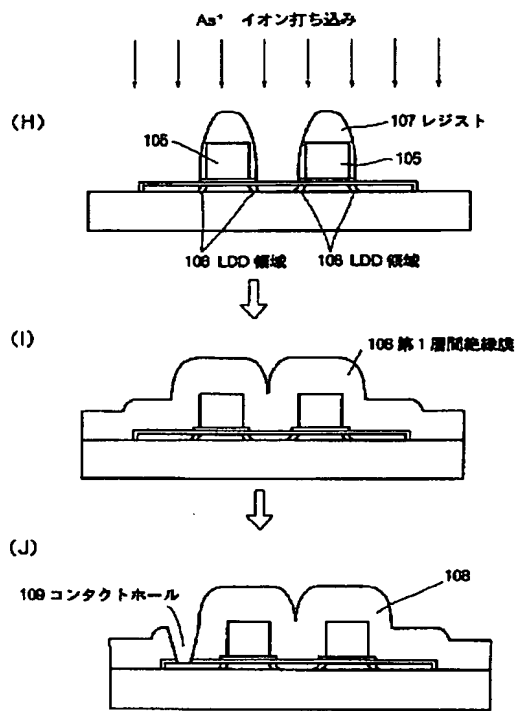
【図5】



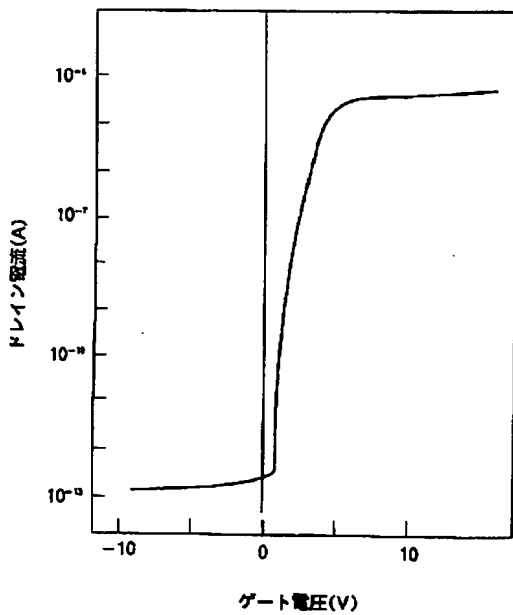
【図6】



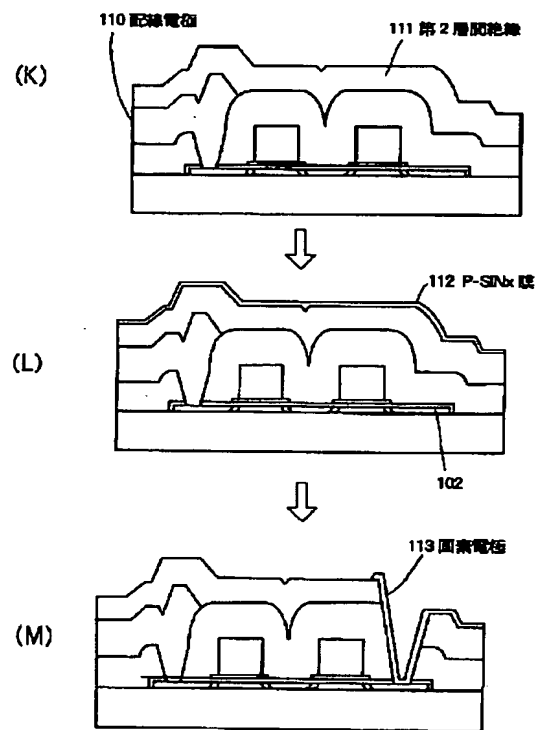
【図 7】



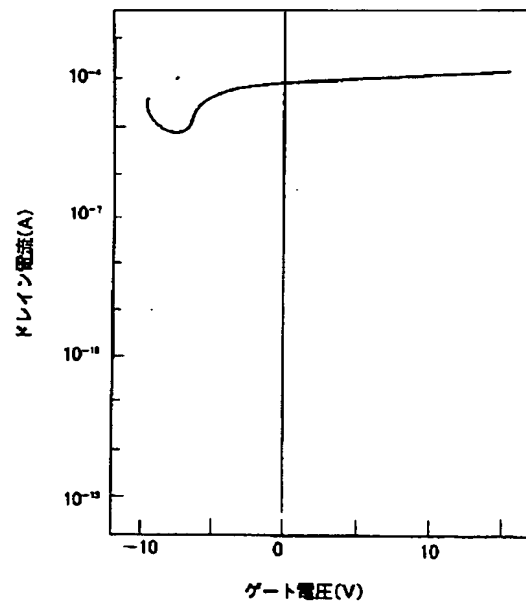
【図 9】



【図 8】



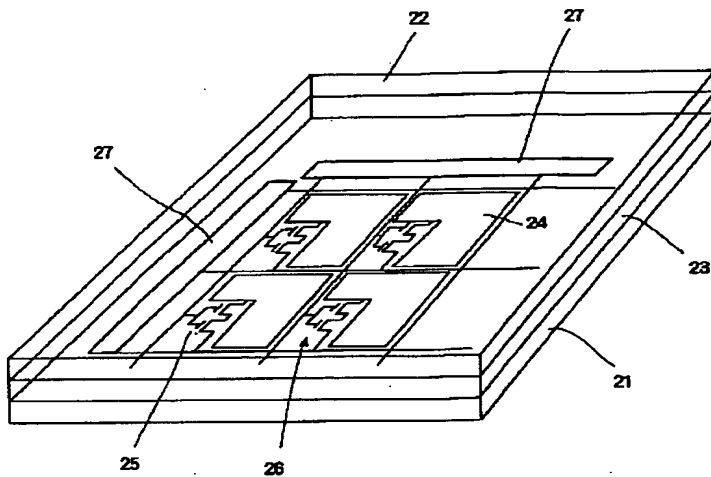
【図 10】



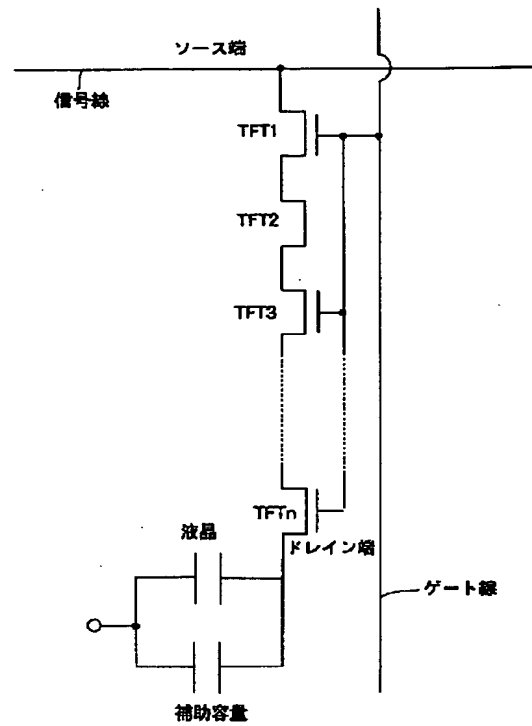
【図 27】



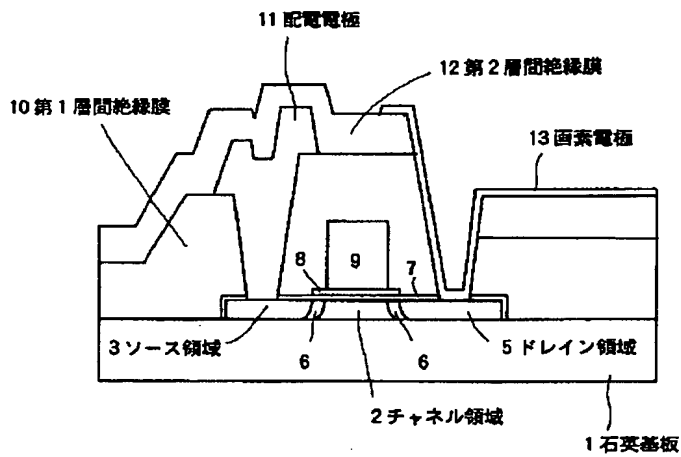
【図11】



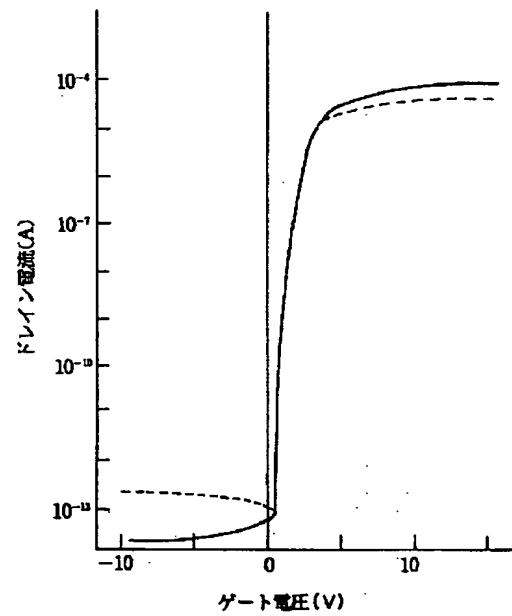
【図14】



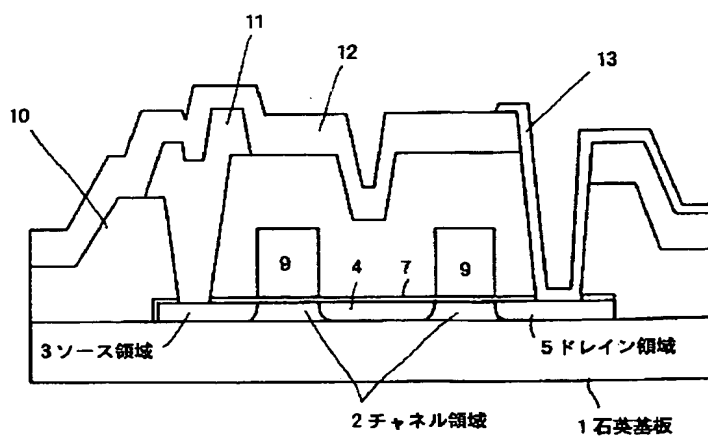
【図12】



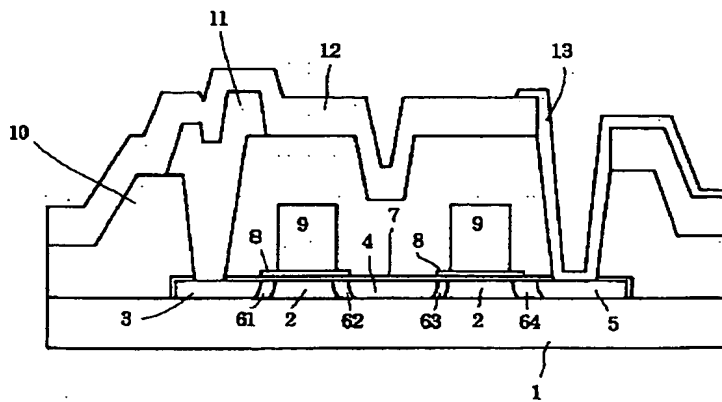
【図17】



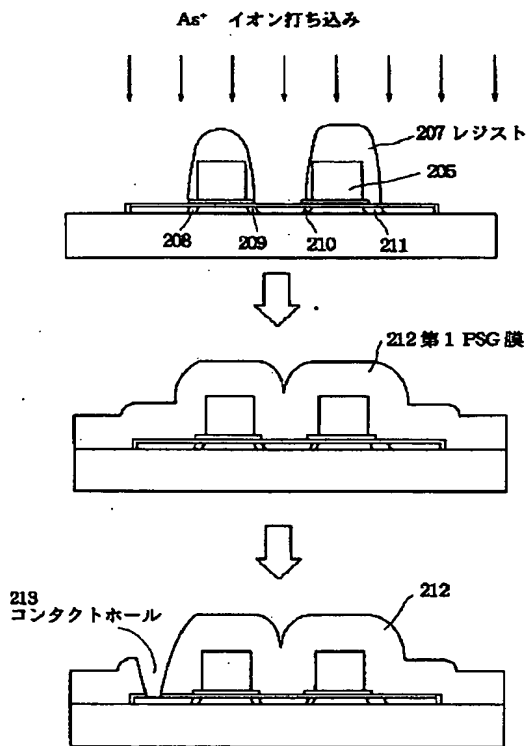
【図13】



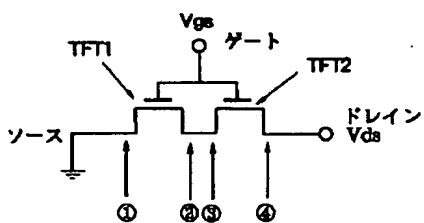
【図 16】



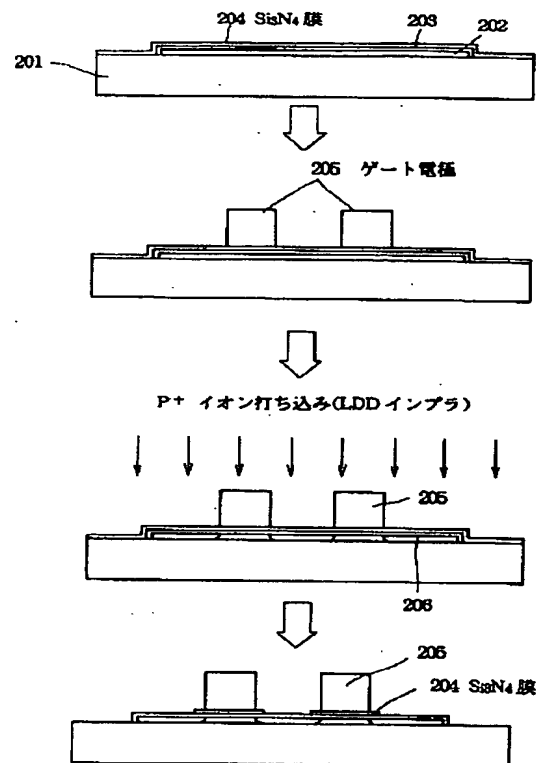
【図 19】



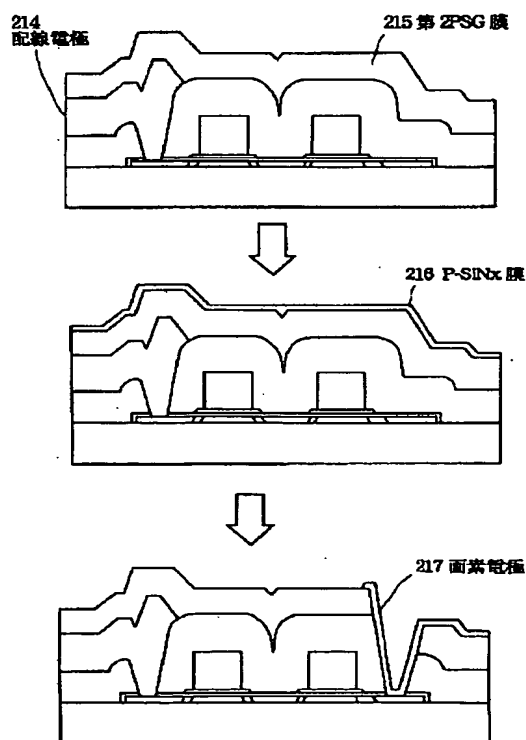
【図 22】



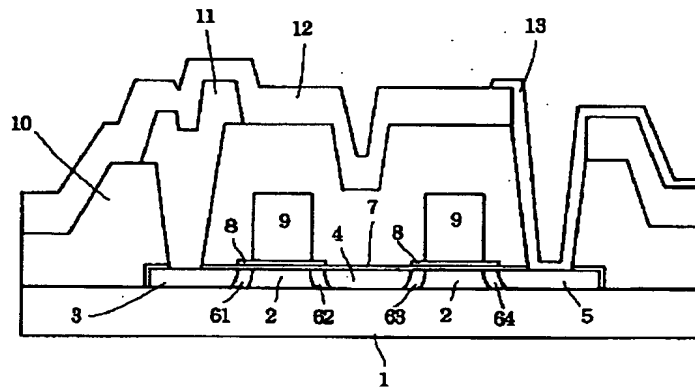
【図 18】



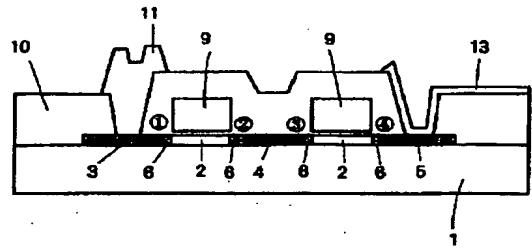
【図 20】



【図 2 1】



【図 2 3】

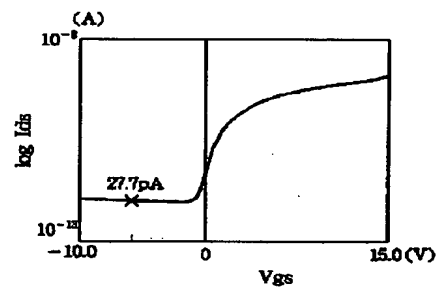
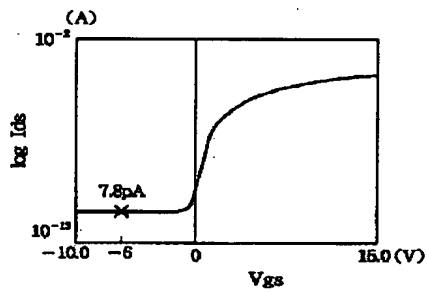


【図 2 9】



【図 2 4】

【図 2 6】



【図 2 8】

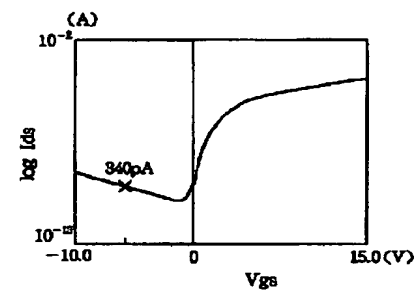
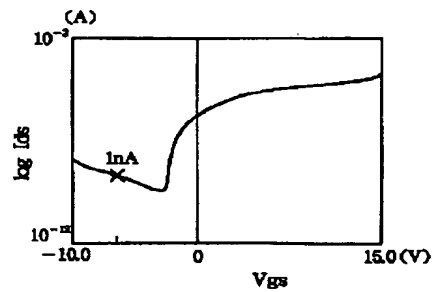
【図 3 0】



【図 3 1】

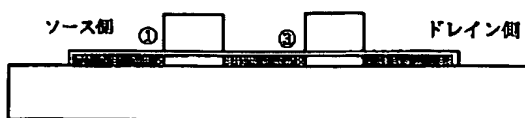
【図 3 2】

【図 3 4】



【図 3 3】

【図 3 5】



【図36】

